

16945 U.S. PTO
09/841096



PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of
Yoshihiro SASAKI et al.
Serial No. (unknown)
Filed herewith

APPEARANCE INSPECTION
APPARATUS AND APPEARANCE
INSPECTION METHOD

**CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's
corresponding patent application filed in Japan on April 28,
2000 under No. 129041/2000.

Applicants herewith claim the benefit of the
priority filing date of the above-identified application for
the above-entitled U.S. application under the provisions of 35
U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

Robert J. Patch
Attorney for Applicants
Registration No. 17,355
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

April 25, 2001

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

US
JC945 U.S. PTO
09/841096
04/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application: 2000年 4月28日

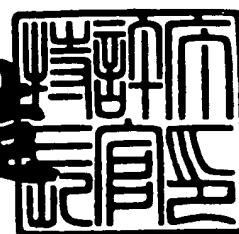
出 願 番 号
Application Number: 特願2000-129041

出 願 人
Applicant(s): 日本電気株式会社

2001年 2月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3007576

【書類名】 特許願

【整理番号】 75310451

【提出日】 平成12年 4月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G06T 1/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 佐々木 義浩

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 長尾 政彦

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【選任した代理人】

 【識別番号】 100099553

 【弁理士】

 【氏名又は名称】 大村 雅生

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特 2 0 0 0 - 1 2 9 0 4 1

【包括委任状番号】 9715177

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 外観検査装置及び外観検査方法

【特許請求の範囲】

【請求項 1】 検査対象物の外観の画像データを格納するメモリと、
前記メモリに格納された画像データを独立に処理して前記メモリに格納する手順が記述されたスレッドを生成するスレッド生成手段と、

前記スレッド生成手段で生成された複数のスレッドの少なくとも一部を並列して実行する複数の CPU、
とを備えた外観検査装置。

【請求項 2】 前記スレッド生成手段は、前記メモリに記憶された画像データ上に設定された 1 つの検査領域が分割されることにより得られる n 個 (n は 2 以上の整数) の領域の画像データをそれぞれ処理する手順が記述された n の整数倍個のスレッドを生成し、

前記複数の CPU は、前記スレッド生成手段で生成された少なくとも前記 n 個のスレッドを並列して実行する、請求項 1 に記載の外観検査装置。

【請求項 3】 前記スレッド生成手段は、前記メモリに記憶された画像データ上に設定された 1 つの検査領域が分割されることにより得られる n 個 (n は 2 以上の整数) の領域の画像データをそれぞれ処理する手順が記述された n の整数倍個のスレッドと、前記 n 個の領域の画像データを一括して処理する手順が記述された m 個 (m は正の整数) のスレッドとを生成し、

前記複数の CPU は、前記スレッド生成手段で生成された少なくとも前記 n 個のスレッドを並列して実行し、前記複数の CPU の何れかは前記スレッド生成手段で生成された前記 m 個のスレッドを単独で実行する、請求項 1 に記載の外観検査装置。

【請求項 4】 前記 n 及び m は、画像処理の種類又は前記検査領域のサイズに基づいて決定される請求項 3 に記載の外観検査装置。

【請求項 5】 前記 n 及び m は、該 n 及び m の任意の組合せの下で前記複数の CPU に処理させた時間を実測した結果に基づいて決定される請求項 3 に記載の外観検査装置。

【請求項 6】 前記 n 個のスレッドの各々には、所定種類の画像処理と他の種類の画像処理とを続けて実行する手順が記述されている、請求項 2 又は 3 に記載の外観検査装置。

【請求項 7】 前記スレッド生成手段は、前記メモリに記憶された画像データ上に設定された n 個（ n は 2 以上の整数）の検査領域の画像データをそれぞれ処理する手順が記述された少なくとも n 個のスレッドを生成し、

前記複数の CPU は、前記スレッド生成手段で生成された前記 n 個のスレッドを並列して実行する、請求項 1 に記載の外観検査装置。

【請求項 8】 検査対象物の外観の画像データをメモリに格納し、
該メモリに格納された画像データを独立に処理して前記メモリに格納する手順が記述されたスレッドを生成し、

該生成された複数のスレッドの少なくとも一部を並列して実行する、
外観検査方法。

【請求項 9】 前記スレッドを生成するステップでは、前記メモリに記憶された画像データ上に設定された 1 つの検査領域が分割されることにより得られる n 個（ n は 2 以上の整数）の領域の画像データをそれぞれ処理する手順が記述された n の整数倍個のスレッドを生成し、

前記実行するステップでは、前記生成された少なくとも前記 n 個のスレッドを並列して実行する、請求項 8 に記載の外観検査方法。

【請求項 10】 前記スレッドを生成するステップでは、前記メモリに記憶された画像データ上に設定された 1 つの検査領域が分割されることにより得られる n 個（ n は 2 以上の整数）の領域の画像データをそれぞれ処理する手順が記述された n の整数倍個のスレッドと、前記 n 個の領域の画像データを一括して処理する手順が記述された m 個（ m は正の整数）のスレッドとを生成し、

前記実行するステップでは、前記生成された少なくとも前記 n 個のスレッドは並列して実行され、前記生成された前記 m 個のスレッドを単独で実行される、請求項 8 に記載の外観検査方法。

【請求項 11】 前記 n 及び m は、画像処理の種類又は前記検査領域のサイズに基づいて決定される請求項 10 に記載の外観検査方法。

【請求項 1 2】 前記 n 及び m は、該 n 及び m の任意の組合せの下で行われた処理の時間を実測した結果に基づいて決定される請求項 1 0 に記載の外観検査方法。

【請求項 1 3】 前記 n 個のスレッドの各々には、所定種類の画像処理と他の種類の画像処理とを続けて実行する手順が記述されている、請求項 9 又は 1 0 に記載の外観検査方法。

【請求項 1 4】 前記スレッドを生成するステップでは、前記メモリに記憶された画像データ上に設定された n 個（n は 2 以上の整数）の検査領域の画像データをそれぞれ処理する手順が記述された少なくとも n 個のスレッドを生成し、前記実行するステップでは、前記生成された前記 n 個のスレッドを並列して実行する、請求項 8 に記載の外観検査方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、大量の画像データを処理することにより外観検査を行う外観検査装置及び外観検査方法に関し、特に画像データを並列に処理する技術に関する。

【0 0 0 2】

【従来の技術】

従来、集積回路（IC）を撮像することにより得られた画像データを用いて該 IC の外観を検査する外観検査装置が知られている。このような外観検査装置として、例えば、特開平 1 1 - 2 5 9 4 3 4 号公報は、「並列データ処理装置とそれを用いた外観検査装置」（以下、「第 1 先行技術」という）を開示している。この外観検査装置では、駆動信号バスからの同期パルスによって駆動されるデータ入力部は、画像データを入力してデータバスを介して転送する。処理分配部とプロセッサエレメントは、駆動信号バスの状態を監視し、同期パルスのパルス期間に、これらの間で通信バスを介して通信を行う。

【0 0 0 3】

処理分配部は、プロセッサエレメントの状態を監視しており、同期パルスのパルス期間に、その次にデータ入力部から転送される単位画像データを処理するプ

ロセッサエレメントを決定する。この決定を受けたプロセッサエレメントはデータバスから単位画像データを取り込んで処理し、また、このパルス期間に、処理分配部に処理中であることを通知する。処理が終わると、次の同期パルス期間に、待機中であることを処理分配部に通知する。上記の構成により、各プロセッサエレメントの稼働率を高めることができるので、特に画像データ等の大量に連続入力されるデータ的高速処理が可能になる。

【 0 0 0 4 】

また、特開平 1 1 - 1 3 5 0 5 4 号公報は、「並列画像処理プロセッサを備えた荷電子ビーム装置」（以下、「第 2 先行技術」という）を開示している。この装置では、画像処理部に、データ転送を制御する 1 つのマスタ CPU とデータの演算処理を行う複数のスレーブ CPU とから構成される並列画像処理プロセッサが付加されている。画像処理のための演算プログラムは、制御用計算機よりマスタ CPU 及びスレーブ CPU へダウンロードされる。並列画像処理プロセッサの数を可変にし、処理の内容に応じて事前に最適な並列 CPU の数を求める。また、処理する画像データの分割方法を画像処理の種類や処理内容に応じて可変にする。この装置によれば、基本的な画像処理のみならず高度な演算を必要とする画像処理をも高速に実行することができる。

【 0 0 0 5 】

更に、特開平 1 0 - 3 0 4 1 8 4 号公報は、「画像処理装置および画像処理方法」（以下、「第 3 先行技術」という）を開示している。この第 3 先行技術では、画像データの分割領域データが複数の分割入力手段に入力され、入力された分割領域データ各々に対して、分割領域毎に独立に処理可能な画像処理がパイプライン処理により実行され、このパイプライン処理の結果が統合される。

【 0 0 0 6 】

このような処理は第 1 統合処理部の制御により行われる。即ち、第 1 統合処理部は、パイプラインに指示を与えて処理を開始させる。また、パイプラインから出力された処理済みの部分画像データを受け取り、位置合わせを行って全体の画像データを作成し、画像記憶部へ記憶する。

【 0 0 0 7 】

また、例えば画像の回転といった広い領域を参照する必要がある画像処理のために、複数の画像処理部とこれらを制御する第2統合処理部を備えている。この第2統合処理部は、複数の画像処理部で処理された結果を統合し、画像記憶部へ記憶する。これら分割領域毎に独立に行う画像処理と広い領域を参照する画像処理とを任意の順序で実行することにより高速な画像処理が達成される。

【0008】

【発明が解決しようとする課題】

上述した第1先行技術では、画像データが入力される都度、分配処理部がエレメントプロセッサを割り当てるので割り当てのためのオーバーヘッドが大きく処理の高速化に限界がある。また、詳細は開示されていないが、各エレメントプロセッサで処理された結果を統合するための処理が必要ながことが予想される。

【0009】

また、上述した第2先行技術も上記第1先行技術と同様に、マスタCPUの制御の下にスレーブCPUが順次割り当てられ、各スレーブCPUによって画像データが並列処理される。従って、この第2先行技術も上述した第1先行技術と同様の問題を含んでいる。

【0010】

更に、上述した第3先行技術では、第1及び第2統合処理部によって画像処理の開始や処理済みの画像データの統合等が行われるのでオーバーヘッドが大きく画像処理の高速化に限界がある。また、分割領域毎の画像処理を行う部分と広い領域を参照する画像処理を行う部分といった2種類が必要があるので、画像処理装置の構成が複雑且つ大規模になる。

【0011】

そこで、本発明の目的は、簡単な構成であるにも拘わらず外観検査を高速に実行できる外観検査装置及び外観検査方法を提供することを目的とする。

【0012】

【課題を解決するための手段】

本発明の第1の態様に係る外観検査装置は、上記目的を達成するために、検査対象物の外観の画像データを格納するメモリと、前記メモリに格納された画像デ

ータを独立に処理して前記メモリに格納する手順が記述されたスレッドを生成するスレッド生成手段と、前記スレッド生成手段で生成された複数のスレッドの少なくとも一部を並列して実行する複数のCPU、とを備えている。

【0013】

この第1の態様に係る外観検査装置では、メモリに格納された画像データを独立に処理するための複数のスレッドが複数のCPUでそれぞれ実行される。ここで、独立に処理するとは、各スレッドが自己完結的に処理すること、換言すれば、自己が保有している情報に従って処理し、その処理結果を自己が保有している情報に従った位置に書き込んで処理を完結することをいう。従って、従来の画像処理装置のように、外部から与えられる情報に応答して処理し、その処理結果を外部で更に統合する必要はない。その結果、外観検査装置の構成が簡単になり、しかも処理の高速化を図れる。

【0014】

また、この第1の態様に係る外観検査装置の前記スレッド生成手段は、前記メモリに記憶された画像データ上に設定された1つの検査領域が分割されることにより得られる n 個（ n は2以上の整数）の領域の画像データをそれぞれ処理する手順が記述された n の整数倍個のスレッドを生成し、前記複数のCPUは、前記スレッド生成手段で生成された少なくとも前記 n 個のスレッドを並列して実行する、ように構成できる。

【0015】

また、この第1の態様に係る外観検査装置の前記スレッド生成手段は、前記メモリに記憶された画像データ上に設定された1つの検査領域が分割されることにより得られる n 個（ n は2以上の整数）の領域の画像データをそれぞれ処理する手順が記述された n の整数倍個のスレッドと、前記 n 個の領域の画像データを一括して処理する手順が記述された m 個（ m は正の整数）のスレッドとを生成し、前記複数のCPUは、前記スレッド生成手段で生成された少なくとも前記 n 個のスレッドを並列して実行し、前記複数のCPUの何れかは前記スレッド生成手段で生成された前記 m 個のスレッドを単独で実行する、ように構成できる。

【0016】

この場合、前記 n 及び m は、画像処理の種類又は前記検査領域のサイズに基づいて決定するように構成できる。また、前記 n 及び m は、該 n 及び m の任意の組合せの下で前記複数の CPU に処理させた時間を実測した結果に基づいて決定するように構成できる。また、前記 n 個のスレッドの各々には、所定種類の画像処理と他の種類の画像処理とを続けて実行する手順が記述するように構成できる。

【 0 0 1 7 】

更に、この第 1 の態様に係る外観検査装置の前記スレッド生成手段は、前記メモリに記憶された画像データ上に設定された n 個（ n は 2 以上の整数）の検査領域の画像データをそれぞれ処理する手順が記述された少なくとも n 個のスレッドを生成し、前記複数の CPU は、前記スレッド生成手段で生成された前記 n 個のスレッドを並列して実行する、ように構成できる。

【 0 0 1 8 】

また、本発明の第 2 の態様に係る外観検査方法は、上記と同様の目的で、検査対象物の外観の画像データをメモリに格納し、該メモリに格納された画像データを独立に処理して前記メモリに格納する手順が記述されたスレッドを生成し、該生成された複数のスレッドの少なくとも一部を並列して実行する、ように構成されている。

【 0 0 1 9 】

この第 2 の態様に係る外観検査方法における前記スレッドを生成するステップでは、前記メモリに記憶された画像データ上に設定された 1 つの検査領域が分割されることにより得られる n 個（ n は 2 以上の整数）の領域の画像データをそれぞれ処理する手順が記述された n の整数倍個のスレッドを生成し、前記実行するステップでは、前記生成された少なくとも前記 n 個のスレッドを並列して実行する、ように構成できる。

【 0 0 2 0 】

また、この第 2 の態様に係る外観検査方法における前記スレッドを生成するステップでは、前記メモリに記憶された画像データ上に設定された 1 つの検査領域が分割されることにより得られる n 個（ n は 2 以上の整数）の領域の画像データをそれぞれ処理する手順が記述された n の整数倍個のスレッドと、前記 n 個の領

域の画像データを一括して処理する手順が記述された m 個（ m は正の整数）のスレッドとを生成し、前記実行するステップでは、前記生成された少なくとも前記 n 個のスレッドは並列して実行され、前記生成された前記 m 個のスレッドを単独で実行される、ように構成できる。

【 0 0 2 1 】

この場合、前記 n 及び m は、画像処理の種類又は前記検査領域のサイズに基づいて決定できる。また、前記 n 及び m は、該 n 及び m の任意の組合せの下で行われた処理の時間を実測した結果に基づいて決定できる。更に、前記 n 個のスレッドの各々には、所定種類の画像処理と他の種類の画像処理とを続けて実行する手順を記述するように構成できる。

【 0 0 2 2 】

更に、この第2の態様に係る外観検査方法における前記スレッドを生成するステップでは、前記メモリに記憶された画像データ上に設定された n 個（ n は2以上の整数）の検査領域の画像データをそれぞれ処理する手順が記述された少なくとも n 個のスレッドを生成し、前記実行するステップでは、前記生成された前記 n 個のスレッドを並列して実行する、ように構成できる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照しながら説明する。

【 0 0 2 4 】

図1は本発明の実施の形態1～3に係る外観検査装置の概略構成を示すブロック図である。この外観検査装置は、複数のCPUを有するパーソナルコンピュータ、ワークステーション、サーバといった汎用のコンピュータを利用して構成できる。この場合、コンピュータを動作させるソフトウェアとして、例えばWindows NT (R)、Windows 2000 (R)、UNIXといったマルチスレッド対応のオペレーティングシステム(OS)を使用できる。

【 0 0 2 5 】

この外観検査装置は、第1CPU10、第2CPU11、第3CPU12、第4CPU13、メモリ14、ハードディスク装置15、表示部16及びデータ入

力部 1 8 といった構成要素がシステムバス 2 0 に接続されることにより構成されている。システムバス 2 0 は、上記各構成要素間のデータ転送を行うために使用される。また、上記表示部 1 6 にはディスプレイ装置 1 7 が接続されており、データ入力部 1 8 にはカメラ 1 9 が接続されている。

【 0 0 2 6 】

第 1 CPU 1 0、第 2 CPU 1 1、第 3 CPU 1 2 及び第 4 CPU 1 3 の各々は、OS の制御の下で、独立して同時動作する。これら第 1 CPU 1 0、第 2 CPU 1 1、第 3 CPU 1 2 及び第 4 CPU 1 3 は、OS から渡される、スレッドと呼ばれる小さなプログラムモジュールに従って動作する。なお、この OS は、単にスレッドを CPU に渡す制御を行うだけであり、従来技術の欄で説明した分配処理部、マスタ CPU、統合処理部のように、各 CPU に処理内容を指示したり、各 CPU による処理結果を統合して全体の画像データを作成する作業は行わない。

【 0 0 2 7 】

第 1 CPU 1 0、第 2 CPU 1 1、第 3 CPU 1 2 及び第 4 CPU 1 3 は、それぞれメモリ 1 0 a、1 1 a、1 2 a 及び 1 3 a を備えている。これらのメモリ 1 0 a、1 1 a、1 2 a 及び 1 3 a の各々は、上述したスレッドを格納する。

【 0 0 2 8 】

各スレッドには、画像処理を行うための手順、つまりプログラムが記述されている。第 1 CPU 1 0、第 2 CPU 1 1、第 3 CPU 1 2 及び第 4 CPU 1 3 は、メモリ 1 0 a、1 1 a、1 2 a 及び 1 3 a に格納されたスレッドに従って画像処理をそれぞれ実行する。例えば、第 1 CPU 1 0 ～第 4 CPU 1 3 の各々は、メモリ 1 4 から画像データを読み出し、読み出した画像データに所定の処理を施し、処理結果をメモリ 1 4 に格納するという動作を並行して実行する。

【 0 0 2 9 】

メモリ 1 4 は、カメラ 1 9 からデータ入力部 1 8 を介して入力される画像データ、この画像データを処理した結果等を記憶する。このメモリ 1 4 の具体的な使用方法は後述する。

【 0 0 3 0 】

ハードディスク（HD）装置 1 5 は、この外観検査装置の全体を制御するためのプログラム、外観検査に使用される検査データを記憶する。このハードディスク装置 1 5 から読み出されたプログラムが実行されることによりスレッドが生成され、第 1 CPU 1 0、第 2 CPU 1 1、第 3 CPU 1 2 及び第 4 CPU 1 3 のメモリ 1 0 a、1 1 a、1 2 a 及び 1 3 a にそれぞれ転送される。

【 0 0 3 1 】

表示部 1 6 はディスプレイ装置 1 7 を制御する。このディスプレイ装置 1 7 は、例えばカメラ 1 9 から得られた画像データに基づく IC の外観の画像や処理結果を表すメッセージ等を表示する。

【 0 0 3 2 】

カメラ 1 9 は、IC の外観を撮像するために使用される。このカメラ 1 9 は、例えば CCD カメラで構成することができる。このカメラ 1 9 で IC の外観を撮像することにより得られたアナログ画像データは、データ入力部 1 8 に供給される。

【 0 0 3 3 】

データ入力部 1 8 は、カメラ 1 9 からのアナログ画像データを、例えば 2 5 6 階調の画素の集まりから成るデジタル画像データ（以下、単に「画像データ」という）に変換する。このデータ入力部 1 8 で得られたデジタル画像データは、例えば図示しない DMA ユニットの制御の下に、システムバス 2 0 を介してメモリ 1 4 に転送される。

【 0 0 3 4 】

以上のように構成される外観検査装置は、IC パッケージを形成するモールドにボイドが存在するかどうかを検査するボイド検査、リードに異物が付着していないことを検査するリード間異物検査、リードが異形であるかどうかを検査するリード検査、モールドの異形が存在するかどうかを検査するモールド検査、捺印が正常であるかどうかを検査する捺印検査といった種々の検査に使用される。

【 0 0 3 5 】

次に、以上のように構成される外観検査装置の動作を説明する。

【 0 0 3 6 】

(実施の形態 1)

この実施の形態 1 に係る外観検査装置では、画像データ上に設定された 1 つの検査領域が 4 つに分割され、各領域の画像データを 4 個の CPU で並行して処理する。以下では、ボイド検査を行う場合を例に挙げて説明する。

【 0 0 3 7 】

このボイド検査では、カメラ 1 9 からデータ入力部 1 8 及びシステムバス 2 0 を経由してメモリ 1 4 に格納された画像データを 2 値化する「2 値化処理」、2 値化された画像データを反転する「反転処理」、反転された画像データの面積を計測する「面積計測処理」、及び計測された面積を合計してボイドの有無を判定する「検査判定処理」が順次行われる。

【 0 0 3 8 】

このボイド検査を実行する時に、まず、スレッドが生成される。図 2 は、メモリ 1 4 に格納される IC の画像データのイメージを示す。ボイド検査では、この画像データのパッケージ部分にボイド検査領域が設定される。そして、設定されたボイド検査領域は、第 1 領域、第 2 領域、第 3 領域及び第 4 領域といった 4 つの領域に分割される。そして、各領域の画像データを処理するためのスレッドが生成される。

【 0 0 3 9 】

図 3 は、ボイド検査用に生成されるスレッドの一例を示す。各スレッドは、コマンド及びアドレスを含む。コマンドは、実行すべき画像処理の内容を指示する。アドレスは、画像データのメモリ 1 4 上の位置を指定する。このスレッドに保有するアドレスとしては、処理すべき画像データが格納されているメモリ 1 4 の位置を示す読み出しアドレスのみ、読み出しアドレスと処理済みの画像データを格納すべきメモリ 1 4 の位置を示す書き込みアドレスの両方、書き込みアドレスのみ、の何れであってもよい。

【 0 0 4 0 】

なお、読み出しアドレスのみをスレッドに保有する場合は、この読み出しアドレスとコマンドとに基づいて書き込みアドレスが算出される。同様に、書き込みアドレスのみをスレッドに保有する場合は、この書き込みアドレスとコマンドと

に基づいて読み出しアドレスが算出される。

【 0 0 4 1 】

スレッド 1 ～ 4 には、第 1 ～ 4 領域の画像データを 2 値化するための手順がそれぞれ記述されている。スレッド 5 ～ 8 には、第 1 ～ 4 領域の 2 値化された画像データを反転させるための手順がそれぞれ記述されている。スレッド 9 ～ 1 2 には、第 1 ～ 4 領域の反転された画像データの面積を計測するための手順が記述されている。スレッド 1 3 には、第 1 ～ 4 領域の計測された面積を合計してボイドの有無を判定するための手順が記述されている。

【 0 0 4 2 】

以上のようにして生成されたスレッドは、OS によって第 1 CPU 1 0、第 2 CPU 1 1、第 3 CPU 1 2 及び第 4 CPU 1 3 の何れかに順次割り当てられる。即ち、OS は空いている CPU のメモリにスレッドを転送する。これにより、ボイド検査が開始される。

【 0 0 4 3 】

図 4 は、ボイド検査の動作を説明するための図である。以下では、各スレッドは、アドレスとして、読み出しアドレス及び書き込みアドレスを保有しているものとする。また、カメラ 1 9 から取り込まれた画像データは、メモリ 1 4 の原画記憶領域に記憶されているものとする。

【 0 0 4 4 】

初期状態では、第 1 CPU 1 0、第 2 CPU 1 1、第 3 CPU 1 2 及び第 4 CPU 1 3 は何れも空き状態である。従って、OS は、スレッド 1 を第 1 CPU 1 0 のメモリ 1 0 a に、スレッド 2 を第 2 CPU 1 1 のメモリ 1 1 a に、スレッド 3 を第 3 CPU 1 2 のメモリ 1 2 a に、スレッド 4 を第 4 CPU 1 3 のメモリ 1 3 a に、それぞれ転送する。

【 0 0 4 5 】

スレッド 1 を受け取った第 1 CPU 1 0 は、該スレッド 1 に記述された手順で処理を実行する。即ち、メモリ 1 4 の原画記憶領域の読み出しアドレスで指定された位置（第 1 領域の先頭に対応する位置）から画像データ A 1 を順次読み出して 2 値化する。即ち、読み出した画像データを構成する各画素を、該画像データ

に好適なスレッシュホールドレベルでスライスし、以て「0」又は「1」のデータに変換する。この2値化された画像データA2は、メモリ14の反転画像記憶領域の書き込みアドレスで指定される位置（第1領域の先頭に対応する位置）に順次格納される。

【0046】

同様に、第2CPU11は、メモリ14の原画記憶領域の読み出しアドレスで指定された位置（第2領域の先頭に対応する位置）から画像データB1を読み出して2値化し、2値化された画像データB2を、メモリ14の反転画像記憶領域の書き込みアドレスで指定される位置（第2領域の先頭に対応する位置）に格納する。第3CPU12及び第4CPU13についても同様である。以上の第1CPU10、第2CPU11、第3CPU12及び第4CPU13による2値化処理は並行して実行される。各CPUが2値化処理を完了した時点では、メモリ14の反転画像記憶領域に2値化された画像データが格納されている。

【0047】

次いで、OSは、2値化処理を完了したCPUから順次スレッド5、6、7及び8をそのCPUのメモリに転送する。これにより、各CPUは反転処理を開始する。今、第1CPU10→第2CPU11→第3CPU12→第4CPUの順番で2値化処理が完了したものとすると、第1CPU10は、メモリ14の反転記憶領域の読み出しアドレスで指定された位置（第1領域の先頭に対応する位置）から画像データA2を順次読み出して反転する。この反転された画像データA3は、メモリ14の領域別面積計測値記憶領域の書き込みアドレスで指定される位置（第1領域の先頭に対応する位置）に順次格納される。

【0048】

同様に、第2CPU11は、メモリ14の反転記憶領域の読み出しアドレスで指定された位置（第2領域の先頭に対応する位置）から画像データB2を順次読み出して反転し、反転された画像データB3を、メモリ14の領域別面積計測値記憶領域の書き込みアドレスで指定される位置（第2領域の先頭に対応する位置）に格納する。第3CPU12及び第4CPU13についても同様である。以上の第1CPU10、第2CPU11、第3CPU12及び第4CPU13による

反転処理は並行して実行される。各CPUが反転処理を完了した時点では、メモリ14の領域別面積計測値記憶領域には反転された画像データが格納されている。

【0049】

次いで、OSは、反転処理を完了したCPUから順次スレッド9、10、11及び12をそのCPUのメモリに転送する。これにより、各CPUは面積計測処理を開始する。今、第1CPU10→第2CPU11→第3CPU12→第4CPUの順番で反転処理が完了したものとすると、第1CPU10は、メモリ14の領域別面積計測値記憶領域の読み出しアドレスで指定された位置（第1領域の先頭に対応する位置）から画像データA3を順次読み出して面積を計算する。この計算結果は、メモリ14の面積合計領域の書き込みアドレスで指定される位置に格納される。

【0050】

同様に、第2CPU11は、メモリ14の領域別面積計測値記憶領域の読み出しアドレスで指定された位置（第2領域の先頭に対応する位置）から画像データB3を読み出して面積を計算する。この計算結果は、メモリ14の面積合計領域の書き込みアドレスで指定される位置に格納される。第3CPU12及び第4CPU13についても同様である。以上の第1CPU10、第2CPU11、第3CPU12及び第4CPU13による面積計測処理は並行して実行される。各CPUが面積計測処理を完了した時点では、メモリ14の面積合計領域にはボイド検査領域の第1領域、第2領域、第3領域及び第4領域の面積が格納されている。

【0051】

全てのCPUが面積計測処理を完了すると、次いで、OSは、第1CPU10、第2CPU11、第3CPU12及び第4CPU13の何れかを選択し、選択されたCPUのメモリに、スレッド13を転送する。これにより、選択されたCPUは、メモリ14の面積合計領域の読み出しアドレスで指定された位置から領域別面積計測値を読み出して合計し、予め設定されている判定値と比較する。この比較の結果、面積の合計値が判定値より大きければボイド不良であることを判

断し、その旨のメッセージをディスプレイ装置 17 に表示する。以上により、ボイド検査を終了する。

【 0 0 5 2 】

この実施の形態 1 において、第 1 CPU 10、第 2 CPU 11、第 3 CPU 12 及び第 4 CPU 13 の性能が同等であり、且つ第 1 領域、第 2 領域、第 3 領域及び第 4 領域のサイズが同じであれば、各 CPU が 2 値化処理、反転処理及び面積計測処理に要する時間は同じである。従って、2 値化処理、反転処理及び面積計測処理に要する時間は、1 台の CPU でこれらの処理を行う場合の略 1 / 4 で済み画像処理の高速化が実現できる。

【 0 0 5 3 】

また、各スレッドの書き込みアドレスは、原画記憶領域の画像データ、反転画像記憶領域の画像データ及び領域別面積計測値記憶領域の画像データがそれぞれ対応するように決定されるので、従来の画像処理装置のように、各 CPU で処理された画像データの位置合わせといった統合処理を行う必要がない。その結果、処理が簡単になると共に処理の高速化を図ることができる。

【 0 0 5 4 】

更に、この実施の形態 1 に係る外観検査装置は、汎用のコンピュータを利用し、このコンピュータを動作させるソフトウェアも市販の OS を使用できるので、装置を安価に構成できるという利点がある。

【 0 0 5 5 】

なお、上述した実施の形態 1 では、ボイド検査領域を 4 分割し、各領域毎に 2 値化処理、反転処理及び面積計測処理をそれぞれ実行するスレッドを作成したが、これらの各処理では 1 つの画素に基づいて他の 1 つの画素が作成されるので、2 値化処理、反転処理及び面積計測処理を連続して実行するようなスレッドを領域毎に作成し、これを複数の CPU で並列して処理させるように構成することもできる。

【 0 0 5 6 】

また、上述した実施の形態 1 では、ボイド検査領域を 4 つの領域に分割し、各領域に 1 台の CPU を対応させて合計 4 台の CPU で画像処理を行う構成とした

が、上記ボイド検査領域の分割数及びCPUの数は「4」に限定されず任意に決定できる。

【0057】

この場合、ボイド検査時に実行されるスレッド生成時に、当該外観検査装置に搭載されているCPUの数を取得し、処理毎にCPUの数の分のスレッドを生成するように構成できる。この構成によれば、搭載されているCPUの数が異なるコンピュータを外観検査装置として利用した場合であっても、1つのソフトウェアでスレッドを生成することが可能になるので、CPUの数毎にソフトウェアを作成しなくてもよいという利点がある。

【0058】

更に、上述した実施の形態1では、ボイド検査を行う場合を例に挙げて説明したが、ボイド検査に限らず、その他の種々の外観検査にも適用できることは勿論である。

【0059】

(実施の形態2)

次に、実施の形態2に係る外観検査装置を説明する。上述した実施の形態1に係る外観検査装置では、2値化処理、反転処理及び面積計測処理といった全ての処理を複数のスレッドで並列して実行するように構成したが、この実施の形態2に係る外観検査装置では、上記複数の処理の中の特定の処理を単一のスレッドで実行するように構成されている。

【0060】

ボイド検査時に実行されるスレッド生成処理では、まず、ボイド検査領域のサイズが算出される。そして、この算出されたサイズが予め決められた設定値 α より大きいかが調べられる。そして、設定値 α より大きいことが判断されると、実施の形態1で説明したと同様に、ボイド検査領域を4つに分割し、図3に示すように、2値化処理、反転処理及び面積計測処理は各領域の画像データ毎に実行し、検査判定処理は単一のスレッドで実行するように13個のスレッドが生成される。

【0061】

一方、算出されたサイズが予め決められた設定値 α 以下であることが判断されると、図5（A）に示すように、2値化処理及び反転処理は各領域の画像データ毎に実行し、面積計測処理及び検査判定処理は単一のスレッドで実行するように9個のスレッドが生成される。そして、このようにして生成された9個のスレッドは、実施の形態1で説明したと同様の手順で実行される。

【0062】

この実施の形態2に係る外観検査装置によれば、ボイド検査領域のサイズが決められた設定値 α 以下であれば、面積計測処理を4つのスレッドで実行し、その後検査判定処理を1つのスレッドで実行するよりも、面積計測処理及び検査判定処理を1つのスレッドで実行するほうが処理時間が短くて済むので、全体として外観検査時間を短縮できる。

【0063】

また、上述した外観検査装置では、上記複数の処理の中の特定の処理を単一のスレッドで実行するように構成されているが、全ての処理を単一のスレッドで実行するように変形することができる。

【0064】

この変形例に係る外観検査装置においては、ボイド検査時に実行されるスレッド生成処理では、先ず、ボイド検査領域のサイズが算出される。そして、この算出されたサイズが予め決められた設定値 β より大きいかが調べられる。そして、設定値 β より大きいことが判断されると、実施の形態1で説明したと同様に、ボイド検査領域を4つに分割し、図3に示すように、2値化処理、反転処理及び面積計測処理は各領域の画像データ毎に実行し、検査判定処理は単一のスレッドで実行するように13個のスレッドが生成される。

【0065】

一方、算出されたサイズが予め決められた設定値 β 以下であることが判断されると、図5（B）に示すように、2値化処理、反転処理、面積計測処理及び検査判定処理の全てを単一のスレッドで実行するように1個のスレッドが生成される。そして、このようにして生成された1個のスレッドは、実施の形態1で説明したと同様の手順で実行される。

【 0 0 6 6 】

この変形例に係る外観検査装置によれば、ボイド検査領域のサイズが決められた設定値 β 以下であれば、全ての処理を1つのスレッドで実行するほうが最も処理時間が短くて済むので、外観検査時間を高速に行うことができる。この変形例に係る外観検査装置は、小さなサイズのボイド検査領域が複数存在する場合に有効である。

【 0 0 6 7 】

なお、この外観検査装置においては、ボイド検査領域のサイズが設定値 α より大きい場合は、実施の形態1で説明したと同様に、ボイド検査領域を4つに分割し、2値化処理、反転処理及び面積計測処理は各領域の画像データ毎に実行し、検査判定処理は単一のスレッドで実行するように13個のスレッドを生成し、ボイド検査領域のサイズが設定値 α 以下で設定値 β より大きい($\alpha > \beta$)場合は、2値化処理及び反転処理は各領域の画像データ毎に実行し、面積計測処理及び検査判定処理は単一のスレッドで実行するように9個のスレッドを生成し、ボイド検査領域のサイズが設定値 β 以下である場合は、2値化処理、反転処理、面積計測処理及び検査判定処理の全てを単一のスレッドで実行するように1個のスレッドを生成するように構成できる。

【 0 0 6 8 】

以上説明した外観検査装置では、ボイド検査時に、ボイド検査領域のサイズが予め決められた設定値より大きいかどうかを調べることにより、生成すべきスレッドを決定しているが、最も短時間で外観検査を行うことができるスレッドの組合せを予め実測し、検査データとしてハードディスク装置15に格納しておくように構成することもできる。

【 0 0 6 9 】

例えば、まず、所定の処理を4台のCPU及び4つのスレッドを用いて実行し、その実行時間が計測される。次いで、その所定の処理を1台のCPU及び1つのスレッドを用いて実行し、その実行時間が計測される。そして、これらを比較し、当該所定の処理を行う場合のCPU及びスレッド数が決定されて、検査データとしてハードディスク装置15に格納される。この検査データは、上記所定の

処理が実行される際にハードディスク装置 1 5 から読み出され、スレッド生成時に参照される。

【 0 0 7 0 】

この構成によれば、ボイド検査時のスレッド生成処理では、実測により最も短時間で外観検査を行うことができることが実証されているスレッドが生成されるので、外観検査を最も短時間で行うことができる。

【 0 0 7 1 】

なお、上記所定の処理は、2 値化処理、反転処理、面積計測処理及び検査判定処理の各々であってもよいし、これらの処理の幾つかを組み合わせた処理であってもよいし、これらの全ての処理であってもよい。要は、これらの中から外観検査を最も短時間で行うことができるケースを見出し、検査データを作成すればよい。

【 0 0 7 2 】

(実施の形態 3)

この実施の形態 3 に係る外観検査装置は、例えばヒストグラム処理、投影処理といった並列処理が困難な処理を行う場合に、検査領域が複数存在すれば各領域を 1 つのスレッドで処理するように構成されている。

【 0 0 7 3 】

図 6 は、この実施の形態 3 で使用される I C の画像データのイメージを示す。ボイド検査では、実施の形態 1 及び 2 で説明したように、I C のパッケージ部分にボイド検査領域が設定される。

【 0 0 7 4 】

リード間異物検査では、I C のリード部分に、各辺毎に第 1 ～第 4 リード間異物検査領域が設定される。そして、第 1 ～第 4 リード間異物検査領域に対応する 4 つのスレッドが生成される。各スレッドには、リード間異物検査を行うための手順がそれぞれ記述されている。

【 0 0 7 5 】

このようにして生成された 4 つのスレッドは、O S によって第 1 C P U 1 0、第 2 C P U 1 1、第 3 C P U 1 2 及び第 4 C P U 1 3 にそれぞれ割り当てられる

。即ち、OSは空いているCPUのメモリにスレッドを転送する。これにより、リード間異物検査が開始される。このリード間異物検査の詳細は、例えば特開平7-128249号公報（特許第2500649号）に説明されている。

【0076】

このリード間異物検査で実行される処理内容は、リード間異物検査領域を複数に分割して複数のCPUで並列処理することが難しい内容である。そこで、上述したように、ICの4つの辺のそれぞれにリード間異物検査領域を設定し、4台のCPUでリード間異物検査を行うことにより、CPUの使用効率を高めることができると共に、処理の高速化を実現できる。

【0077】

また、リード検査では、図6に示すように、各リードの先端部に、第1～第100リード検査領域が設定される。そして、第1～第100リード検査領域毎に100個のスレッドが生成される。各スレッドには、リード検査を行うための手順がそれぞれ記述されている。

【0078】

このようにして生成された100個のスレッドは、OSによって第1CPU10、第2CPU11、第3CPU12及び第4CPU13に順次割り当てられる。即ち、OSは空いているCPUのメモリにスレッドを順次転送する。これにより、リード検査が開始される。このリード検査は、例えば、リード先端部の画像をテンプレート画像として、各リード先端部に設けられたリード検査領域をサーチし、以てリード座標を検出する方法により行われる。

【0079】

このリード検査で使用されるリード検査領域のサイズは非常に小さい。従って、リード検査領域を複数に分割して複数のCPUで並列処理すると処理時間が却って増加することがある。そこで、各リードの先端部にリード検査領域を設定し、4台のCPUで合計100のリード検査を順次行うことにより、CPUの使用効率を高めることができると共に、処理の高速化を実現できる。

【0080】

（実施の形態4）

検査領域を複数に分割して複数のCPUで処理することが難しい処理として、例えば、画像の全体又は一部を回転させる回転処理がある。この回転処理では、画像データの全体を参照する必要があるが、読み出しアドレスと書き込みアドレスとを指定する方法、読み出しアドレスのみを指定する方法、書き込みアドレスのみを指定する方法の何れかを用いることで、複数のCPUによる並列処理を実現することができる。

【0081】

この実施の形態4で行われる回転処理を、右90度回転する場合を例に挙げて図7を参照しながら説明する。なお、図7では、説明を簡単にするために4行×4列の16画素の画像データを右90度回転させる例を示しているが、本実施の形態で取り扱うことのできる画素数は上記に限定されず任意である。

【0082】

この回転処理のためのスレッド生成処理では、原画記憶領域又は回転画像記憶領域の行又は列毎にスレッドが生成される。以下、アドレスの指定方法毎に回転処理の動作を説明する。

【0083】

先ず、アドレスとして読み出しアドレス及び書込アドレスの双方がスレッドに保有される場合の動作を、図7(A)を参照しながら説明する。この場合、原画記憶領域のY4行処理用のスレッド1、Y3行処理用のスレッド2、Y2行処理用のスレッド3及びY1行処理用のスレッド4といった4個のスレッドが生成される。

【0084】

そして、スレッド1に保有される読み出しアドレスは原画記憶領域の座標(X1、Y4)のアドレスであり、書き込みアドレスは回転画像記憶領域の座標(X4、Y4)のアドレスである。また、スレッド2に保有される読み出しアドレスは原画記憶領域の座標(X1、Y3)のアドレスであり、書き込みアドレスは回転画像記憶領域の座標(X3、Y4)のアドレスである。スレッド3及び4に保有される読み出しアドレス及び書込アドレスも上記と同様の規則によって決められる。

【 0 0 8 5 】

以上のようにして生成されたスレッド1～4は、OSによって第1CPU10、第2CPU11、第3CPU12及び第4CPU13の何れかに割り当てられる。即ち、OSは空いているCPUのメモリにスレッドを転送する。これにより、4台のCPUで同時に回転処理が開始される。以下では、スレッド1、2、3及び4が第1CPU10、第2CPU11、第3CPU12及び第4CPU13にそれぞれ割り当てられたと仮定する。

【 0 0 8 6 】

スレッド1を受け取った第1CPU10は、該スレッド1に記述された手順で処理を実行する。即ち、メモリ14の原画記憶領域の読み出しアドレスで指定された位置、即ち座標(X1、Y4)から画像データB1が読み出され、回転画像記憶領域の書き込みアドレスで指定された位置、即ち座標(X4、Y4)に書き込まれる。以下、原画記憶領域の座標(X2、Y4)から読み出された画像データB2が回転画像記憶領域の座標(X4、Y3)に、原画記憶領域の座標(X3、Y4)から読み出された画像データB3が回転画像記憶領域の座標(X4、Y2)に、原画記憶領域の座標(X4、Y4)から読み出された画像データB4が回転画像記憶領域の座標(X4、Y1)に、順次書き込まれる。

【 0 0 8 7 】

また、スレッド2を受け取った第2CPU11は、該スレッド2に記述された手順で処理を実行する。即ち、メモリ14の原画記憶領域の読み出しアドレスで指定された位置、即ち座標(X1、Y3)から画像データが読み出され、回転画像記憶領域の書き込みアドレスで指定された位置、即ち座標(X3、Y4)に書き込まれる。以下、原画記憶領域の座標(X2、Y3)から読み出された画像データが回転画像記憶領域の座標(X3、Y3)に、原画記憶領域の座標(X3、Y3)から読み出された画像データが回転画像記憶領域の座標(X3、Y2)に、原画記憶領域の座標(X4、Y3)から読み出された画像データが回転画像記憶領域の座標(X3、Y1)に、順次書き込まれる。スレッド3を受け取った第3CPU12及びスレッド4を受け取った第4CPU13の動作も上記と同様である。

【 0 0 8 8 】

次に、アドレスとして読み出しアドレスのみがスレッドに保有されている場合の動作を図 7 (B) を参照しながら説明する。この場合、原画記憶領域の Y 4 行処理用のスレッド 1、Y 3 行処理用のスレッド 2、Y 2 行処理用のスレッド 3 及び Y 1 行処理用のスレッド 4 といった 4 個のスレッドが生成される。

【 0 0 8 9 】

そして、スレッド 1 に保有される読み出しアドレスは原画記憶領域の座標 (X 1、Y 4) のアドレスであり、スレッド 2 に保有される読み出しアドレスは原画記憶領域の座標 (X 1、Y 3) のアドレスであり、スレッド 3 に保有される読み出しアドレスは原画記憶領域の座標 (X 1、Y 2) のアドレスであり、スレッド 4 に保有される読み出しアドレスは原画記憶領域の座標 (X 1、Y 1) のアドレスである。

【 0 0 9 0 】

今、以上のようにして生成されたスレッド 1 ~ 4 が、上記と同様に、OS によって第 1 CPU 1 0、第 2 CPU 1 1、第 3 CPU 1 2 及び第 4 CPU 1 3 の何れかに割り当てられたと仮定する。

【 0 0 9 1 】

スレッド 1 を受け取った第 1 CPU 1 0 は、該スレッド 1 に記述された手順で処理を実行する。ここでは、先ず書き込みアドレスが算出される。即ち、メモリ 1 4 の原画記憶領域の座標 (X 1、Y 4) を 9 0 度右回転させた場合の座標は座標 (X 4、Y 4) であることが算出され、回転画像記憶領域の座標 (X 4、Y 4) のアドレスが書き込みアドレスとして算出される。次いで、メモリ 1 4 の原画記憶領域の読み出しアドレスで指定された位置、即ち座標 (X 1、Y 4) から画像データ B 1 が読み出され、回転画像記憶領域の、算出された書き込みアドレスで指定された位置、即ち座標 (X 4、Y 4) に書き込まれる。以下同様にして、原画記憶領域の座標 (X 2、Y 4) から読み出された画像データ B 2 が回転画像記憶領域の座標 (X 4、Y 3) に、原画記憶領域の座標 (X 3、Y 4) から読み出された画像データ B 3 が回転画像記憶領域の座標 (X 4、Y 2) に、原画記憶領域の座標 (X 4、Y 4) から読み出された画像データ B 4 が回転画像記憶領域

の座標 (X 4、Y 1) に、順次書き込まれる。

【 0 0 9 2 】

また、スレッド 2 を受け取った第 2 C P U 1 1 は、該スレッド 2 に記述された手順で処理を実行する。ここでは、先ず書き込みアドレスが算出される。即ち、メモリ 1 4 の原画記憶領域の座標 (X 1、Y 3) を 9 0 度右回転させた場合の座標は座標 (X 3、Y 4) であることが算出され、回転画像記憶領域の座標 (X 3、Y 4) のアドレスが書き込みアドレスとして算出される。次いで、メモリ 1 4 の原画記憶領域の読み出しアドレスで指定された位置、即ち座標 (X 1、Y 3) から画像データが読み出され、回転画像記憶領域の、算出された書き込みアドレスで指定された位置、即ち座標 (X 3、Y 4) に書き込まれる。以下同様にして、原画記憶領域の座標 (X 2、Y 3) から読み出された画像データが回転画像記憶領域の座標 (X 3、Y 3) に、原画記憶領域の座標 (X 3、Y 3) から読み出された画像データが回転画像記憶領域の座標 (X 3、Y 2) に、原画記憶領域の座標 (X 4、Y 3) から読み出された画像データが回転画像記憶領域の座標 (X 3、Y 1) に、順次書き込まれる。スレッド 3 を受け取った第 3 C P U 1 2 及びスレッド 4 を受け取った第 4 C P U 1 3 の動作も上記と同様である。

【 0 0 9 3 】

次に、アドレスとして書き込みアドレスのみがスレッドに保有されている場合の動作を図 7 (C) を参照しながら説明する。この場合、回転画像記憶領域の Y 4 行処理用のスレッド 1、Y 3 行処理用のスレッド 2、Y 2 行処理用のスレッド 3 及び Y 1 行処理用のスレッド 4 といった 4 個のスレッドが生成される。

【 0 0 9 4 】

そして、スレッド 1 に保有される書き込みアドレスは回転画像記憶領域の座標 (X 1、Y 4) のアドレスであり、スレッド 2 に保有される書き込みアドレスは回転画像記憶領域の座標 (X 1、Y 3) のアドレスであり、スレッド 3 に保有される書き込みアドレスは回転画像記憶領域の座標 (X 1、Y 2) のアドレスであり、スレッド 4 に保有される書き込みアドレスは回転画像記憶領域の座標 (X 1、Y 1) のアドレスである。

【 0 0 9 5 】

今、以上のようにして生成されたスレッド1～4が、上記と同様に、OSによって第1CPU10、第2CPU11、第3CPU12及び第4CPU13の何れかに割り当てられたと仮定する。

【0096】

スレッド1を受け取った第1CPU10は、該スレッド1に記述された手順で処理を実行する。ここでは、先ず読み出しアドレスが算出される。即ち、メモリ14の回転画像記憶領域の座標(X1、Y4)を90度左回転させた場合の座標は座標(X1、Y1)であることが算出され、原画記憶領域の座標(X1、Y1)のアドレスが読み出しアドレスとして算出される。次いで、メモリ14の原画記憶領域の、算出された読み出しアドレスで指定された位置、即ち座標(X1、Y1)から画像データB1が読み出され、回転画像記憶領域の書き込みアドレスで指定された位置、即ち座標(X1、Y4)に書き込まれる。以下同様にして、原画記憶領域の座標(X1、Y2)から読み出された画像データB2が回転画像記憶領域の座標(X2、Y4)に、原画記憶領域の座標(X1、Y3)から読み出された画像データB3が回転画像記憶領域の座標(X3、Y4)に、原画記憶領域の座標(X1、Y4)から読み出された画像データB4が回転画像記憶領域の座標(X4、Y4)に、順次書き込まれる。

【0097】

また、スレッド2を受け取った第2CPU11は、該スレッド2に記述された手順で処理を実行する。ここでは、先ず読み出しアドレスが算出される。即ち、メモリ14の回転画像記憶領域の座標(X1、Y3)を90度左回転させた場合の座標は座標(X2、Y1)であることが算出され、原画記憶領域の座標(X2、Y1)のアドレスが読み出しアドレスとして算出される。次いで、メモリ14の原画記憶領域の、算出された読み出しアドレスで指定された位置、即ち座標(X2、Y1)から画像データが読み出され、回転画像記憶領域の書き込みアドレスで指定された位置、即ち座標(X1、Y3)に書き込まれる。以下同様にして、原画記憶領域の座標(X2、Y2)から読み出された画像データが回転画像記憶領域の座標(X2、Y3)に、原画記憶領域の座標(X2、Y3)から読み出された画像データが回転画像記憶領域の座標(X3、Y3)に、原画記憶領域の

座標（X 2、Y 4）から読み出された画像データが回転画像記憶領域の座標（X 4、Y 3）に、順次書き込まれる。スレッド 3 を受け取った第 3 CPU 1 2 及びスレッド 4 を受け取った第 4 CPU 1 3 の動作も上記と同様である。

【0098】

以上のように、この実施の形態 4 によれば、画像データの全体を参照する必要がある処理であっても、複数の CPU（スレッド）で並行して処理を行うことができるので、処理の高速化を図ることができる。また、上述した第 3 先行技術のような、画像全体を参照する処理のための統合処理部を別途設ける必要がないので外観検査装置の構成を簡単且つ安価に構成できる。

【0099】

本発明に係る外観検査装置では、以上説明した実施の形態 1～3 の処理が連続して実行される。この外観検査装置の全体的な処理の流れを図 8 に示す。

【0100】

外観検査では、先ず、使用される CPU の数が決定される（ステップ S 1 0）。この CPU の数は、予め決められた固定値を用いるように構成してもよいし、ユーザが任意の値を入力するように構成してもよいし、プログラムによって当該外観検査装置に搭載されている CPU の数を自動的に取得するように構成してもよい。

【0101】

次いで、ハードディスク装置 1 5 から検査データが読み込まれる（ステップ S 1 1）。次いで、カメラ 1 9 から画像データが取り込まれる（ステップ S 1 2）。そして、上記検査データと画像データとに基づいてボイド検査用のスレッドが生成される（ステップ S 1 3）。即ち、実施の形態 1 及び 2 で説明したように、ボイド検査を実行するための 1 3 個のスレッドが生成される。ここで生成されたスレッドは、OS の制御の下に、第 1 CPU 1 0、第 2 CPU 1 1、第 3 CPU 1 2 及び第 4 CPU 1 3 に送られる。これにより、ボイド検査が実行される。

【0102】

次いで、上記検査データと画像データとに基づいてリード間異物検査用のスレッドが生成される（ステップ S 1 4）。即ち、実施の形態 3 で説明したように、

リード間異物検査を実行するための4個のスレッドが生成される。ここで生成されたスレッドは、OSの制御の下に、第1CPU10、第2CPU11、第3CPU12及び第4CPU13に送られる。これにより、リード間異物検査が実行される。

【0103】

次いで、上記検査データと画像データとに基づいてリード検査用のスレッドが生成される（ステップS15）。即ち、実施の形態3で説明したように、リード検査を実行するための400個のスレッドが生成される。ここで生成されたスレッドは、OSの制御の下に、第1CPU10、第2CPU11、第3CPU12及び第4CPU13に送られる。これにより、リード検査が実行される。

【0104】

以上の処理が終了すると、ボイド検査、リード間異物検査及びリード検査の各結果が出力される（ステップS16）。その後、シーケンスはステップS12に戻り、次のICに対する外観検査が実行される。

【0105】

以上説明したように、実施の形態1～4に係る外観検査装置は、画像データを記憶するメモリとして唯一のメモリを備えており、全てのCPUがこのメモリにアクセスするように構成されている。この構成により、従来のように複数のCPUの各々に対応して設けられた複数のメモリに、画像データを分割して格納する必要がない。その結果、画像データを分割する処理が不要になるので、処理速度が向上する。また、複数のメモリを設ける必要がないので、外観検査装置を簡単且つ安価に構成できる。

【0106】

また、この外観検査装置では、各CPUは、OSにより割り当てられたスレッドを処理するだけで全体の処理が完了するので、従来の技術の欄で説明したような、処理分配部、マスタCPU、統合管理部といったシステム全体を管理するための構成要素は不要である。その結果、その構成要素が動作するための時間も不要になるので外観検査装置の高速化が可能であり、また、外観検査装置を簡単且つ安価に構成できる。

【 0 1 0 7 】

【発明の効果】

以上詳述したように、本発明によれば、高速に画像を処理できる外観検査装置及び外観検査方法を提供できる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 ～ 4 に係る外観検査装置の概略構成を示すブロック図である。

【図 2】

本発明の実施の形態 1 及び 2 に係る外観検査装置において、メモリに格納される I C の画像データのイメージを示す図である。

【図 3】

本発明の実施の形態 1 に係る外観検査装置において、ボイド検査用に生成されるスレッドの一例を示す図である。

【図 4】

本発明の実施の形態 1 に係る外観検査装置におけるボイド検査の動作を説明するための図である。

【図 5】

本発明の実施の形態 2 に係る外観検査装置において、ボイド検査用に生成されるスレッドの一例を示す図である。

【図 6】

本発明の実施の形態 3 に係る外観検査装置において、メモリに格納される I C の画像データのイメージを示す図である。

【図 7】

本発明の実施の形態 4 に係る外観検査装置において、回転処理の動作を説明するための図である。

【図 8】

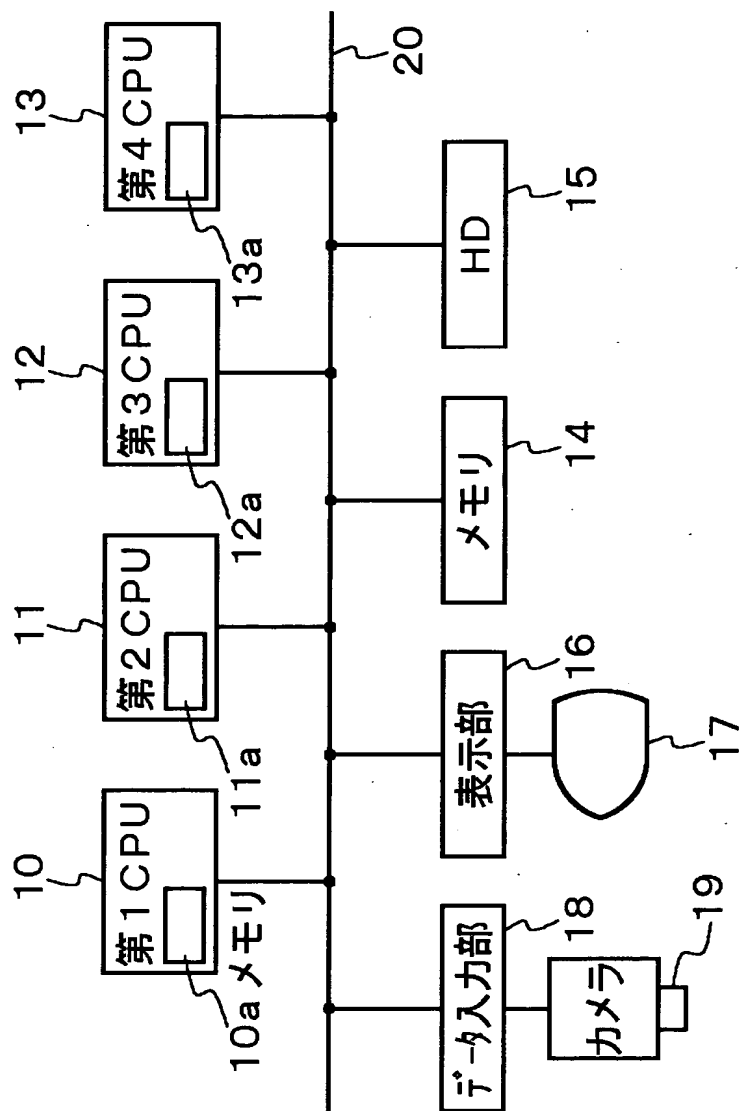
本発明の実施の形態 1 ～ 3 に係る外観検査装置にける全体的な処理の流れを示すフローチャートである。

【符号の説明】

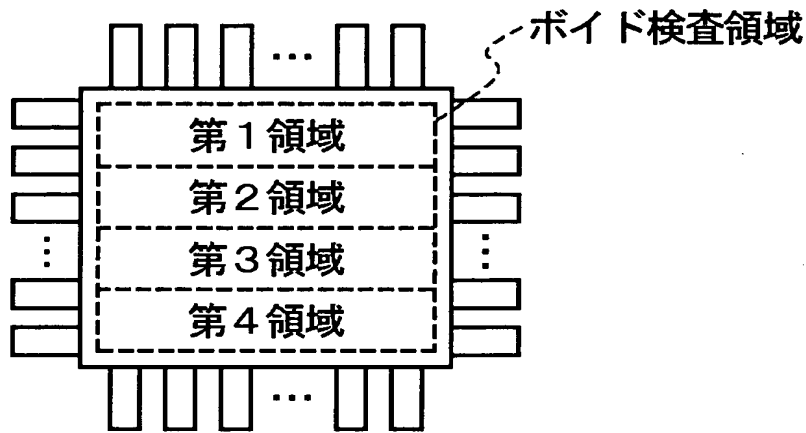
- 1 0 第 1 C P U
- 1 0 a、1 0 b、1 0 c、1 0 d メモリ
- 1 1 第 2 C P U
- 1 2 第 3 C P U
- 1 3 第 4 C P U
- 1 4 メモリ
- 1 5 ハードディスク装置
- 1 6 表示部
- 1 7 ディスプレイ装置
- 1 8 データ入力部
- 1 9 カメラ
- 2 0 システムバス

【書類名】 図面

【図 1】



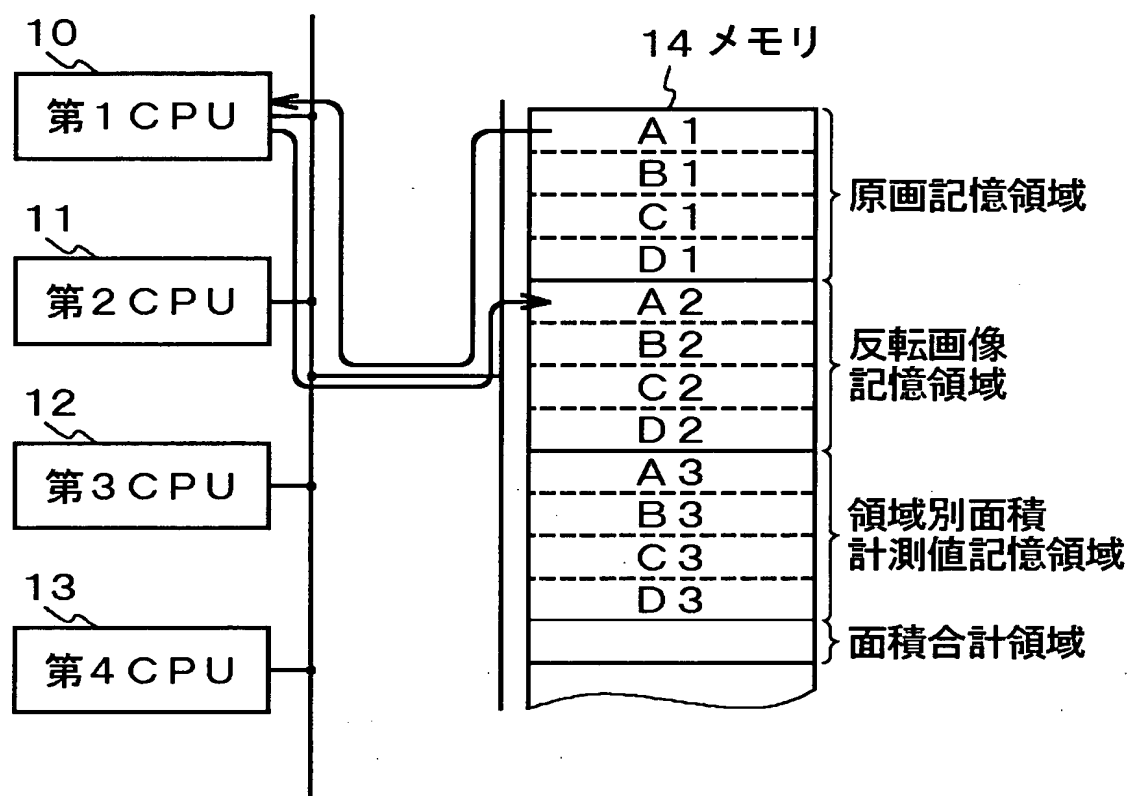
【図 2】



【図 3】

スレッド1	第1領域：アドレス／2値化	A1→A2
スレッド2	第2領域：アドレス／2値化	B1→B2
スレッド3	第3領域：アドレス／2値化	C1→C2
スレッド4	第4領域：アドレス／2値化	D1→D2
スレッド5	第1領域：アドレス／反転	A2→A3
スレッド6	第2領域：アドレス／反転	B2→B3
スレッド7	第3領域：アドレス／反転	C2→C3
スレッド8	第4領域：アドレス／反転	D2→D3
スレッド9	第1領域：アドレス／面積計測	A3
スレッド10	第2領域：アドレス／面積計測	B3
スレッド11	第3領域：アドレス／面積計測	C3
スレッド12	第4領域：アドレス／面積計測	D3
スレッド13	アドレス／面積合計及び検査判定	

【図4】

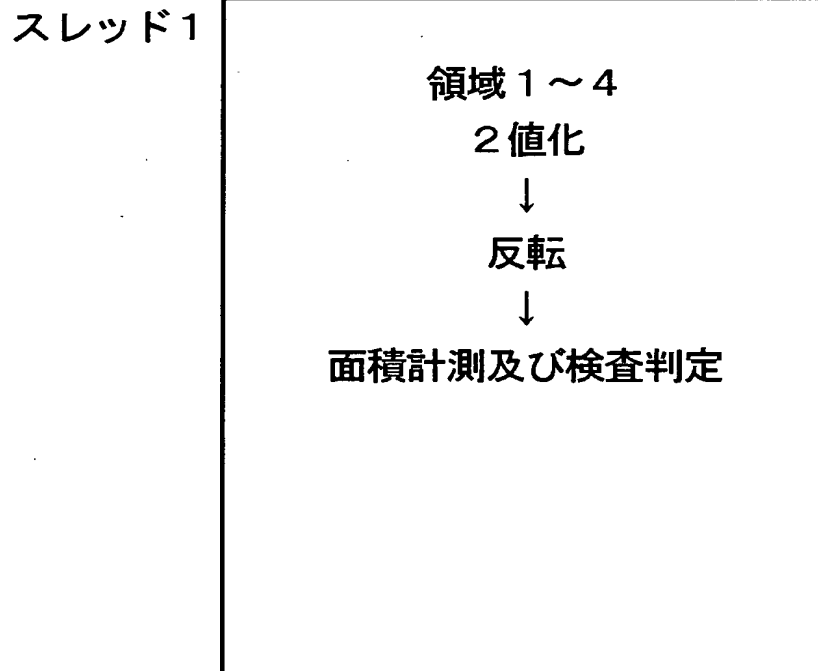


【図 5】

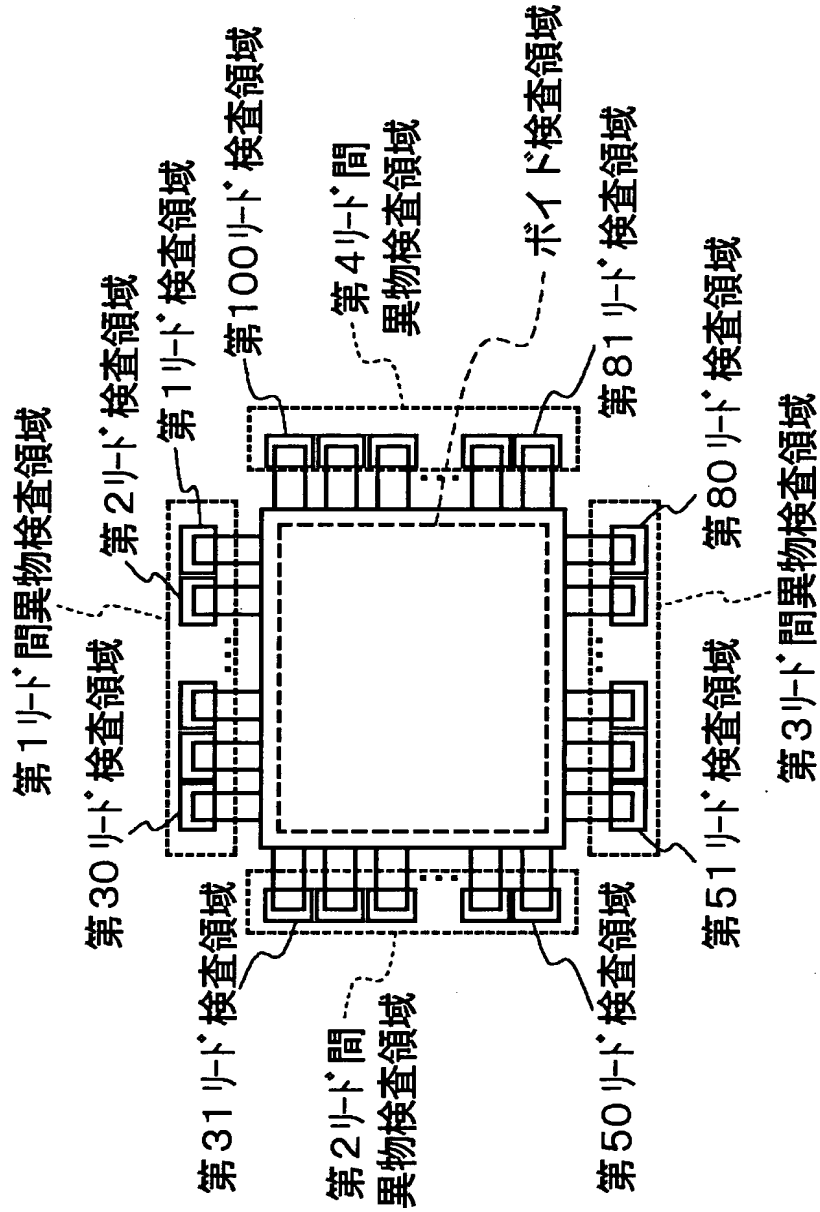
(A)

スレッド1	第1領域：アドレス／2値化
スレッド2	第2領域：アドレス／2値化
スレッド3	第3領域：アドレス／2値化
スレッド4	第4領域：アドレス／2値化
スレッド5	第1領域：アドレス／反転
スレッド6	第2領域：アドレス／反転
スレッド7	第3領域：アドレス／反転
スレッド8	第4領域：アドレス／反転
スレッド9	領域1～4 面積計測及び検査判定

(B)

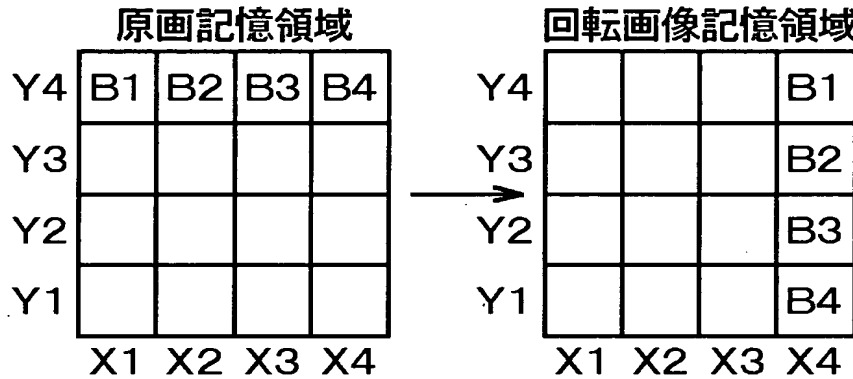


【図 6】

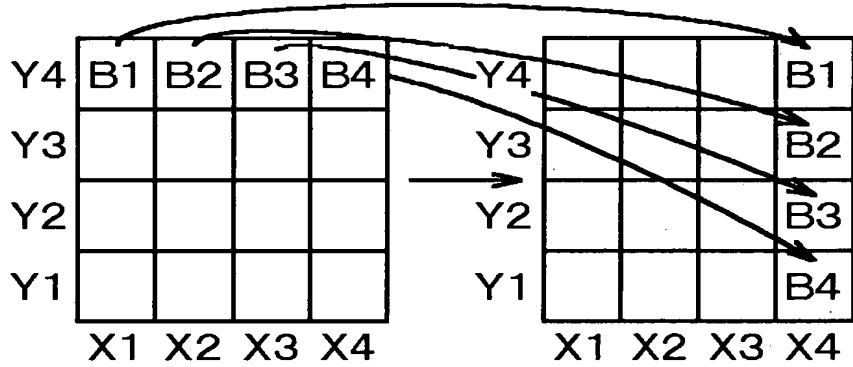


【図 7】

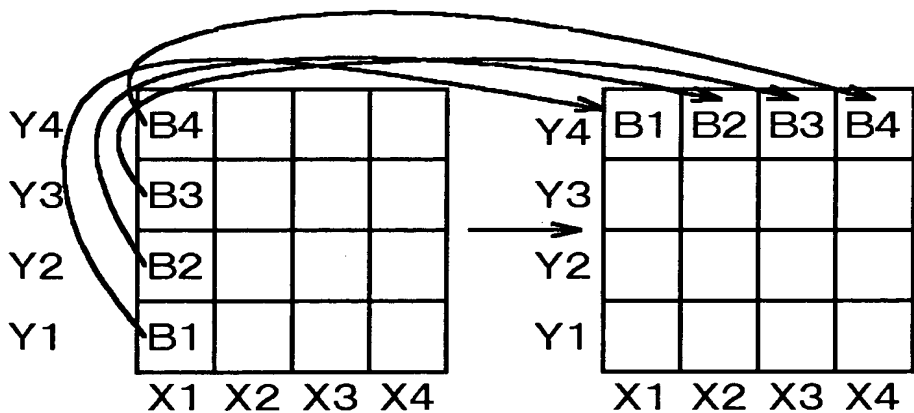
(A) 読み出しアドレスと書き込みアドレス指定



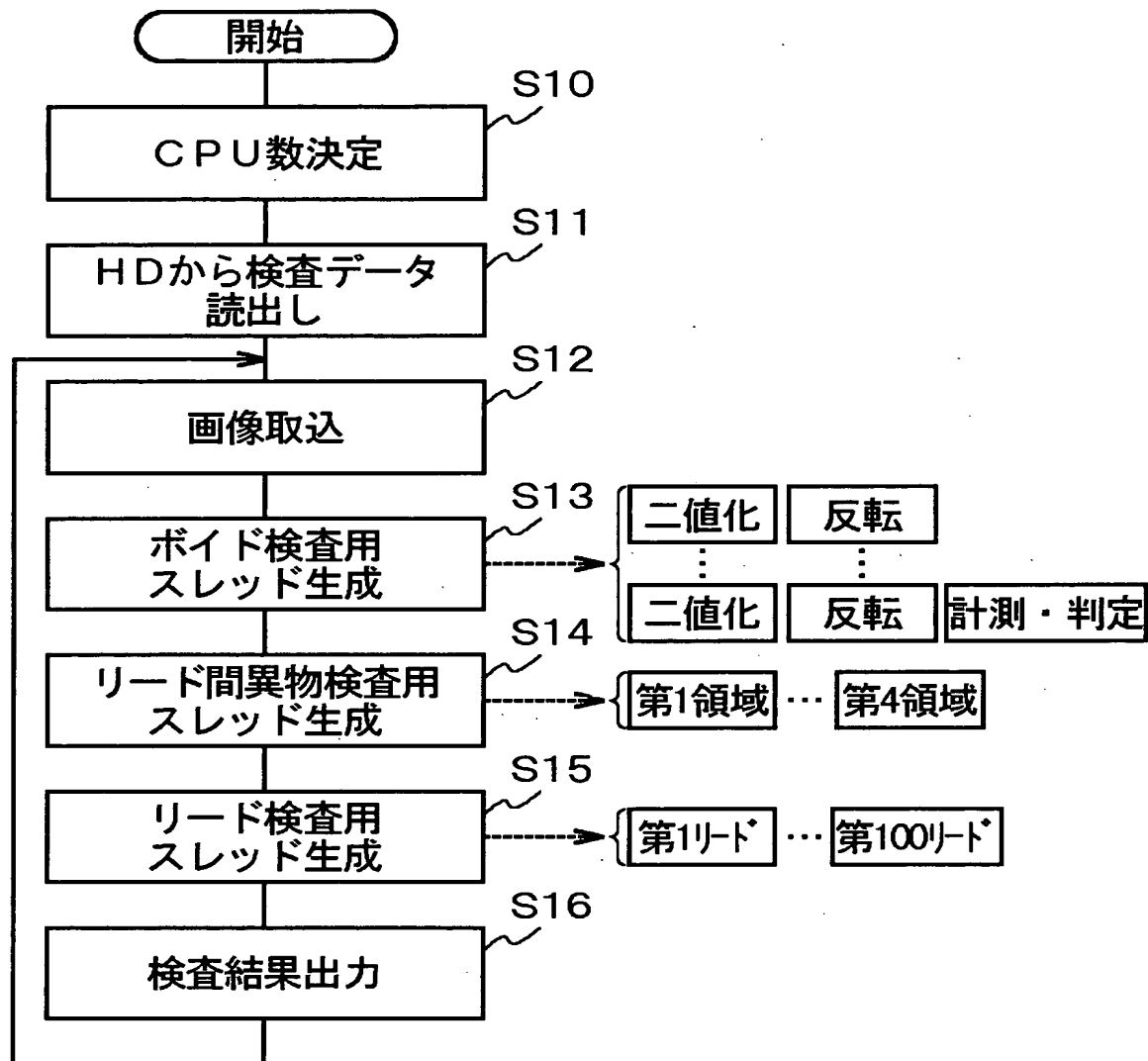
(B) 読み出しアドレス指定



(C) 書き込みアドレス指定



【図 8】



【書類名】 要約書

【要約】

【課題】 簡単な構成であるにも拘わらず外観検査を高速に実行できる外観検査装置及び外観検査方法を提供する。

【解決手段】 検査対象物の外観の画像データを格納するメモリ 1 4 と、このメモリ 1 4 に格納された画像データを独立に処理してメモリ 1 4 に格納する手順が記述されたスレッドを生成するスレッド生成手段と、このスレッド生成手段で生成された複数のスレッドの少なくとも一部を並列して実行する複数の CPU 1 0 ～ 1 3、とを備えている。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2000-129041
受付番号	50000541926
書類名	特許願
担当官	第三担当上席 0092
作成日	平成12年 5月 1日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100102864
【住所又は居所】	東京都品川区南大井6丁目24番10号 カドヤ 第10ビル6階 工藤国際特許事務所
【氏名又は名称】	工藤 実

【選任した代理人】

【識別番号】	100099553
【住所又は居所】	東京都品川区南大井6丁目24番10号 カドヤ 第10ビル6階 工藤国際特許事務所
【氏名又は名称】	大村 雅生

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社